

## HARDWARE-DEBUGGING

# Low-Power-Designs unter der Lupe

Die Zahl der Anwendungen, die auf niedrigen Stromverbrauch getrimmt werden müssen, um die geforderte lange Batterielaufzeit erreichen zu können, steigt rasend schnell an. Dieser Trend stellt die Verifikationsingenieure vor große Herausforderungen. Die höhere Leistungsdichte und die Tatsache, dass aktuelle SoCs oft aus mehreren Blöcken bestehen, auf denen verschiedene Applikationen mit unterschiedlichen Power-Anforderungen ausgeführt werden, erschweren die Verifikation der Power-Merkmale erheblich.

BINDESH PATEL

Seit ein paar Jahren stehen Power-Management-Verfahren zur Verfügung, um das Problem in den Griff zu bekommen. Diese zielen meist auf die Gatterebene ab und werden direkt in der Netzliste implementiert. Werden auf dieser Ebene Fehler erkannt, ist der Entwicklungsprozess aber oftmals zu weit fortgeschritten, um diese noch mit vertretbarem Aufwand beheben zu können. Die Modellierung des Power-Management-

mit Power-Aspekten während des gesamten Designprozesses wurden Beschreibungsformate wie das »Common Power Format« (CPF) und das »Unified Power Format« (UPF) entwickelt. Beide Standards nutzen »TCL«-ähnliche Dateien (Tool Control Language), mit denen Ingenieure die Power-Merkmale eines Designs beschreiben können, indem sie Power-Domänen (Spannungseinseln) erstellen und verwalten, Gatter zur Isolierung (Isolation Cell) oder Erhaltung (Retention Cell) von Signalen ein-

fügen sowie Pegelumsetzer einrichten und weitere relevante Regeln definieren.

Simulatoren können diese Formate einlesen, sodass eine frühzeitige Verifikation der Power-Merkmale eines Designs möglich ist. Allerdings steigt damit bei Designs, die mit der eingesetzten Energie

sparsam umgehen müssen, die Komplexität der Fehlersuche und Fehlerbehebung. Diese zusätzliche Komplexität beeinflusst nicht nur die Verifikationsaufgaben direkt, mit denen sich ein Ingenieur befassen muss, wenn er ein entsprechendes Design debuggen muss, sondern wirkt sich auch auf das benötigte Verifikationswerkzeug aus.

## Power-Merkmale verstehen

Nicht selten wird die Aufgabe, UPF- und CPF-Spezifikationen zu erstellen, den System- und Chip-Level-Designern übertragen. Ein nicht beteiligter RTL-Ingenieur kann dann die Auswirkungen der Spezifikationen auf das Block-Level-

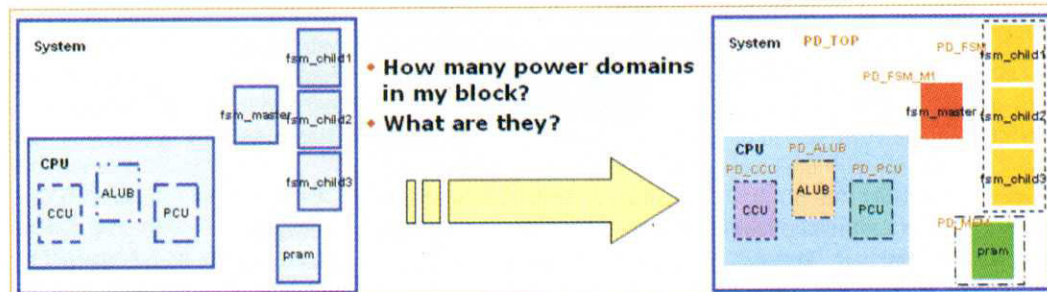


Bild 1: RTL-Ingenieure müssen wissen, welche Spannungseinseln im Design existieren

ments mit Hilfe von RTL-Code bietet durchaus eine Möglichkeit, das Power-Verhalten in einer frühen Phase des Designprozesses zu verifizieren. Mit wachsender Zahl der Module, für die ein Power-Management zu entwickeln ist, und dem Einsatz von immer mehr Power-Modi sowie dem immer häufiger auftretenden Wechsel zwischen diesen Modi ist dieser Ansatz allerdings nicht mehr praktikabel. Für einen strukturierten Umgang

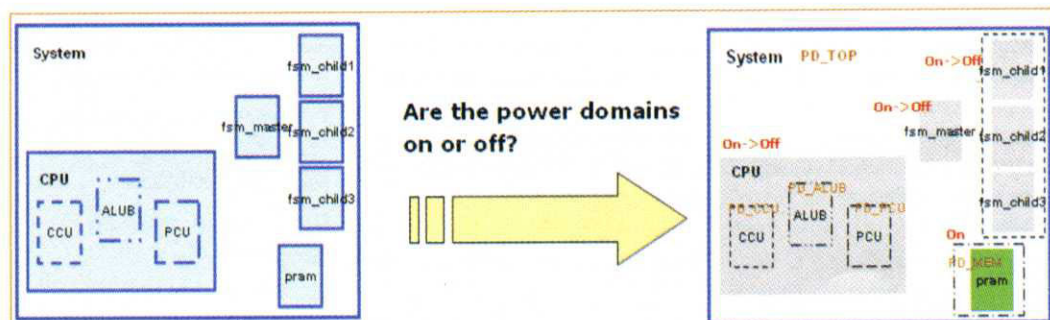


Bild 2: RTL-Ingenieure müssen über die verschiedenen Modi der Spannungseinseln wie »Ein« oder »Aus« informiert sein



Design nicht ohne weiteres nachvollziehen. Ein Subblock in einem hierarchischen RTL-Design kann beispielsweise mehrere Spannungseinseln beinhalten, die jeweils unterschiedlichen Regeln für das Ein- und Ausschalten der Spannungsversorgung unterliegen. Für jede Insel gelten wiederum individuelle Vorschriften für die dort verwendeten Pegelumsetzer sowie Gatter zur Isolation und Erhaltung von Signalen. Eine so geartete Schaltung zeigt in einer Simulation, die Power-Aspekte berücksichtigt, ein Verhalten, das sich von dem einer Schaltung unterscheidet, bei der es nicht auf den Stromverbrauch ankommt und bei der daher alle Elemente während des Betriebs eingeschaltet bleiben. Letzteres war bislang der Normalfall für RTL-Ingenieure. Es ist daher besonders wichtig, dass ihnen das Verständnis der Power-Merkmale eines Blocks erleichtert wird, an dem sie arbeiten sollen. Angenommen, ein RTL-Entwickler arbeitet an einem CPU-Block, wie er in Bild 1 zu sehen ist, und er will wissen, zu welchen Spannungseinseln dieser mit seinen untergeordneten Blöcken gehört. Im Falle der Beispielschaltung würde er feststellen, dass der CCU-Subblock der Domäne PD\_CCU, der Subblock ALUB der Domäne PD\_ALUB und der Subblock PCU der Domäne PD\_PCU zugeordnet ist. Als nächstes muss der Ingenieur herausfinden, wie sich die unterschiedlichen Modi der Spannungseinseln verhalten sollen. So ist im betrachteten Beispiel die Spannungszufuhr im Block »pram« eingeschaltet, während die anderen Blöcke ausgeschaltet sind (Bild 2). Da der Block »pram« eingeschaltet ist, während der treibende Block (CPU) ausgeschaltet ist, will

der Entwickler eventuell eruieren, ob ein Isolationsgatter zwischen den Spannungseinseln eingefügt wurde, um den an den Block »pram« übergebenen Signalwert bei einem Abschalten des CPU-Blocks für die nachfolgenden Schaltungsteile im Pfad zu erhalten. Für RTL-Ingenieure ist dieser Prozess – der entsprechend mit allen Blöcken und Subblöcken mit ihren zugehörigen Spannungseinseln und Power-Modi durchlaufen werden muss – bisher eine echte Herausforderung, die viel Zeit kostet.

## Die Fehlerursache finden

Wenn Fehler in einem Design gefunden und behoben werden müssen, bei dem es auf die Power-Merkmale ankommt, liegt die größte Herausforderung darin, die Ursache des Fehlers zu finden. Schließlich können sowohl die RTL-Funktionen als auch die in der Power-Spezifikation beschriebenen Power-Elemente der Grund dafür sein. Wenn etwa der Wert X in einem Signalverlauf während einer Simulation auftritt, die Power-Aspekte berücksichtigt, könnte dieser Signalwert »Stromversorgung aus« bedeuten, aber genauso gut auf ein Problem hinweisen, hervorgerufen durch einen strukturellen Fehler, wie eine vergessene Isolationszelle oder einen Steuersequenzfehler (beispielsweise eine fehlerhafte Speicher- oder Wiederherstellungssequenz). Die Anzeige des Wertes X in einer Waveform-Darstellung liefert folglich keine Informationen über den Ursprung oder die Ursache eines Fehlers. Um den Auslöser ausfindig machen zu können, muss der Ingenieur den Signalwert X daher sowohl im RTL-Quellcode als auch in den Power-Spezifikationsdateien zurückverfolgen.

Der Einsatz von Power-Standardbeschreibungssprachen zu einem frühen Zeitpunkt des Designprozesses – und insbesondere im Verifikationsprozess – bietet unbestreitbare Vorteile. Allerdings erschwert er das Debuggen des Designs, sodass eine Debug-Lösung benötigt wird, die Power-Aspekte berücksichtigt und das Verständnis der geplanten Power-Merkmale erleichtert beziehungsweise die dafür erforderliche Zeit verkürzt. Zudem muss sie den Prozess der Zurückverfolgung, die Visualisierung und die Identifikation der Ursache von Power-Fehlern automatisieren. Damit sichergestellt ist, dass der RTL-Ingenieur den Code, der die Power-Merkmale beschreibt, in allen Details versteht, sollte es ihm diese Lösung mindestens ermöglichen, die Spannungseinseln eines Blocks und die damit assoziierten Power-Modi zu ermitteln. Darüber hinaus muss die Lösung folgende Funktionen bieten:

- Eine UPF/CPF-basierte Darstellung, sodass sich die spezifizierten Power-Elemente wie Schaltregeln, Regeln für Retention- und Isolationszellen sowie Pegelumsetzer leicht lokalisieren lassen. Eine Annotation der Power-Merkmale in RTL-, Schaltplan- und

**BINDESH PATEL**  
 ist Technical Marketing Manager in der Verification Group von Springsoft

onen zu den Spannungseinseln und der Power-relevanten Logik ergänzen, um ein weitergehendes Debuggen zu ermöglichen (Bild 4).

- Eine Annotation von Power-Modi in den RTL-, Waveform-, Schematic- und UPF/CPF-Power-Anzeigen, sodass der Anwender die dynamischen Power-Modi und -Stati in jeder Darstellungsart untersuchen kann. Diese Funktion unterstützt den Ingenieur bei der Entscheidung, was er als Nächstes debuggen soll.
- Eine automatische Lokalisierung des Ursprungs eines fehlerhaften Wertes entweder im RTL- oder im CPF/UPF-Code. Damit können Anwender Signale über die Grenzen hinweg in den RTL- und CPF/UPF-Code zurückverfolgen.

Die Debug-Lösung muss zudem erweiterbar sein. Dies ist erforderlich, um neue Debug-Funktionen (z.B. automatische Lokalisierung von Treibern/Lasten über die Grenzen von CPF/UPF- und RTL-Code hinweg oder Annotation von Power-Modi zu jeder beliebigen Simulationszeit) in die Debug-Umgebung integrieren und Standarddarstellungsformen um spezielle Anzeigemöglichkeiten für Power-Aspekte ergänzen zu können. Natürlich sind zusätzliche Funktionen denkbar und wünschenswert, wie Funktionen zur Anzeige von Power-relevanten Schaltkreisen (etwa Retention-Register einschließlich der Save-/Restore-Signale) und zur automatischen Zurückverfolgung von Power-Steuerungssignalen in einer »Temporal Flow«-Ansicht. (mc)

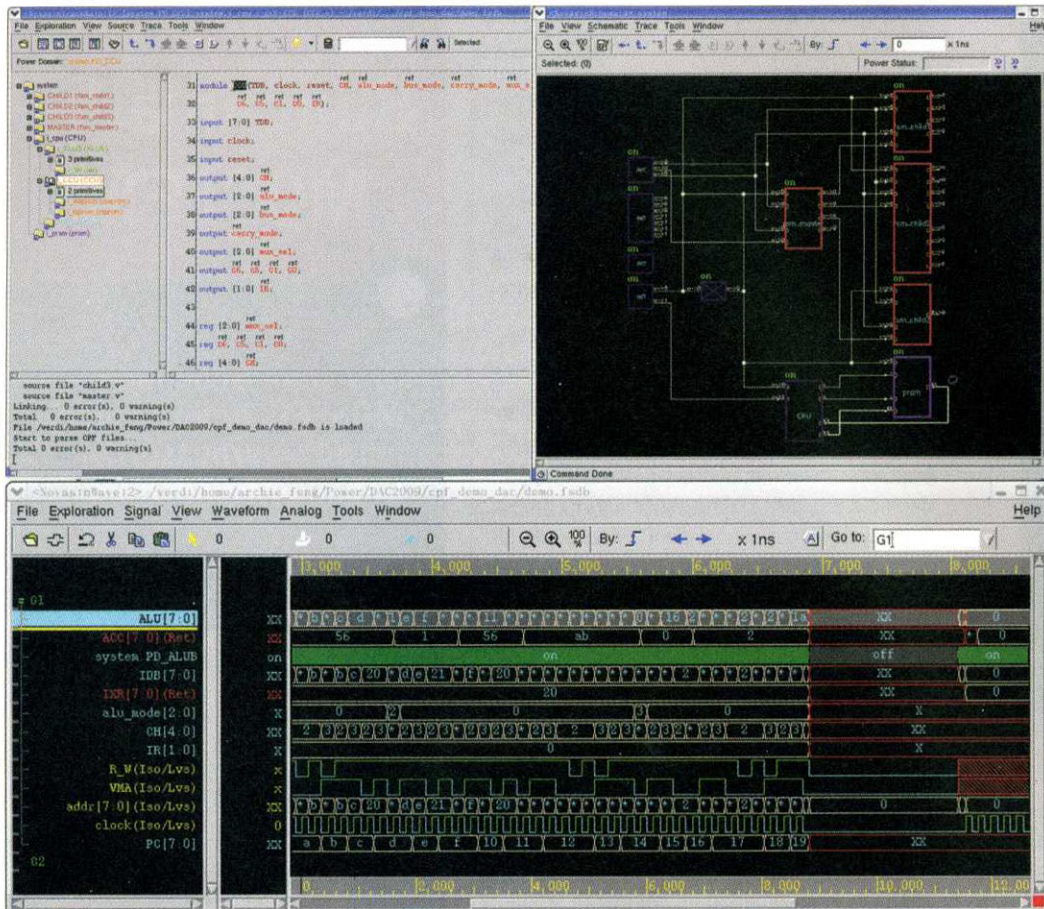


Bild 3: Eine Debug-Umgebung wie das »Verdi Automated Debug System« von Springsoft dient auch der Analyse und Behebung von Power-Management-Fehlern

Wellenform-Darstellungen, mit deren Hilfe der Anwender die Power-Merkmale mit den zugehörigen Designblöcken korrelieren kann. Dadurch kann er bestimmen, welche Blöcke zu welchen Spannungseinseln gehören und welche Signale zur Erhaltung eines Signalwertes oder als Pegelumsetzer für eine Spannungseinseln dienen.

- Eine simultane Anzeige (Cross Probing) zwischen der UPF/CPF-Darstellung und den RTL-,
- Eine Visualisierung von Spannungseinseln und Power-Status bzw. -Modi (Bild 3).

Schaltplan- und Wellenform-Darstellungen, damit sich ein Design- oder Power-Objekt in jeder Darstellung lokalisieren lässt. So kann mit Hilfe der Cross Probing-Funktion ein in UPF/CPF formuliertes Retention-Signal in der schematischen Darstellung visualisiert und der zugehörige Signalpfad anschließend untersucht werden.

Um dem Ingenieur seine Arbeit zu erleichtern, muss eine Debug-Lösung, die auch für die Analyse und Behebung von Power-Problemen geeignet sein soll, folgende automatisierte Funktionen für die Suche nach der Fehlerursache im RTL-Code oder der Power-Spezifikation bieten:

- Eine Möglichkeit zur automatischen Lokalisierung von Treibern/Lasten in RTL- und CPF/UPF-Code.
- Eine Visualisierung von Signalen, deren Treiber in CPF/UPF spezifiziert sind. Dadurch können Anwender auch Fehler in der CPF/UPF-Spezifikation finden und beheben.
- Eine Möglichkeit zur Anzeige des gesamten Signalpfades, auch wenn die Grenzen von Spannungseinseln überschritten werden, damit Retention-, Isolations- oder Pegelumsetzer-signale einfach als solche identifiziert werden können. Dabei lässt sich die Darstellung der Pfade um passende Informati-

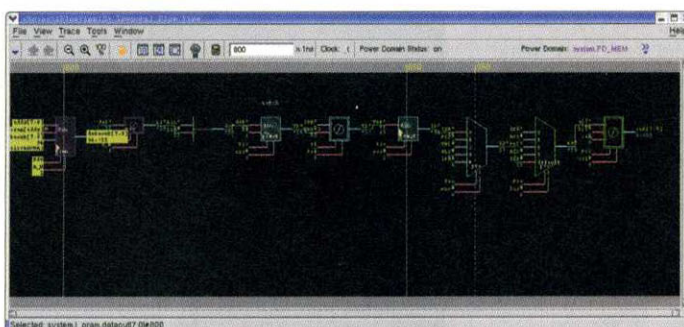


Bild 4: Mit der automatischen Trace-Funktion »Temporal Flow View« des Debug-Systems »Verdi« können komplette Signalpfade zur Untersuchung der Power-Merkmale angezeigt werden

**Springsoft**  
 Telefon 00 44/11 89 07 63 89  
 www.springsoft.com