

CAO ANALOGIQUE

Une automatisation « contrôlée » rend la main au concepteur

Le layout géré par schématique apporte de grands bénéfices aux concepteurs de circuits intégrés analogiques et/ou numériques custom. Mais une automatisation non contrôlée place souvent ces derniers face à des compromis indésirables, entre densité du layout et vitesse du circuit. La technologie de génération de cellules MCell relève ce défi, en introduisant un contrôle de l'automatisation dans un flot avancé.

En matière de conception de circuits intégrés, deux tendances se dégagent clairement à l'heure actuelle. D'un côté, les géométries continuent à diminuer avec des circuits qui gagnent en taille et en complexité, sans qu'il y ait pour l'instant de limites en vue. Le processus de réalisation physique devient, dans ce cadre, de plus en plus fastidieux et prend un temps considérable dans le cycle de conception d'un circuit. D'un autre côté, les pressions sur le temps de mise sur le marché d'un produit obligent à raccourcir continuellement les temps de développement. Les ingénieurs sont donc contraints de trouver les moyens de les compresser et d'augmenter leur productivité. Pour atteindre cet objectif, l'automatisation joue évidemment un rôle clé.

Dans ce cadre, le layout géré par la schématique (Schematic-Driven Layout ou SDL) est une méthodologie de conception qui assiste les développeurs dans l'implantation physique de circuits intégrés, en automatisant le passage entre le schéma logique et la physique de la puce, tout en assurant la continuité entre les deux représentations. Cette méthodologie est présente sur le marché depuis un certain temps. Mais sa lenteur et son manque de convivialité face aux tendances actuelles la rendent relativement improductive pour les conceptions de circuits analogiques et de circuits numériques « custom » (personnalisés). En effet, avec un éditeur de layout dédié à ce type de circuits, les méthodologies SDL obligent souvent à sacrifier de l'espace pour optimiser la vitesse. Dans le monde analogique, un tel compromis est simplement inacceptable en raison du grand nombre de variables associées à chaque élément de conception. Cependant, une nouvelle technologie d'automatisation « contrôlable » est en train d'émerger. Elle vise à mener les flots SDL bien au-delà du simple fait de générer des cellules



RICH MORSE (SPRINGSOFT)

Directeur du marketing technique chez Springsoft.

Rich Morse occupe dans le même temps le poste de directeur EDA Alliances de l'activité Laker Custom IC Design de la société.

physiques par des opérations de type « glisser-déposer ».

Son implantation au sein du processus

d'automatisation du placement-routage est donc critique si l'on veut donner aux ingénieurs les moyens de créer de meilleurs layouts plus facilement, plus rapidement, sans sacrifier la densité ou le style de conception.

Une lente progression vers l'automatisation

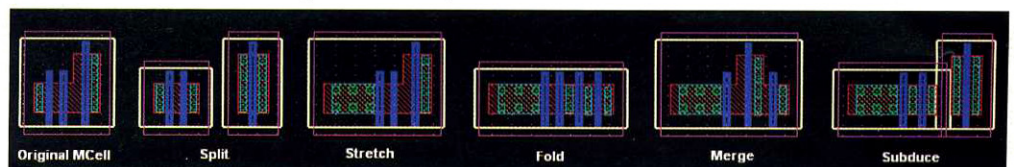
Au cours de ces dernières années, les concepteurs sont passés des circuits dessinés à la main et transférés vers les photomasques, à des méthodes basées sur l'utilisation d'éditeurs de layout à polygones exploitant les notions de cellules (composants élémentaires ou groupes de composants élémentaires) et de conception hiérarchisée. Des éditeurs de schématiques sont ensuite apparus, permettant aux concepteurs de « tracer électriquement » leur concept original. Souvent, dans cette approche, l'intention du concepteur logi-

que ne pouvait être communiquée au concepteur du placement-routage sans procéder à une laborieuse revue de la schématique et annoter manuellement les attributs détaillés des cellules sur le layout. Les logiciels de vérification du routage (LVS ou Layout Versus Schematic) et de vérification de règles de conception (DRC ou Design Rule Check) entraînent alors en scène pour traquer les erreurs de connectivité et de câblage (pour le LVS) ainsi que les violations de règles de fabrication (pour le DRC). Le processus se réitérait jusqu'à obtention de résultats satisfaisants.

L'approche SDL qui permet aux concepteurs de créer un layout physique à partir d'une source logique, a représenté le bond suivant dans l'évolution vers une meilleure productivité. En effet, dans un flot SDL, les utilisateurs identifient des composants dans le schéma et les « glissent » simplement dans l'éditeur d'implémentation physique, lequel crée alors automatiquement le layout correspondant.

Aujourd'hui, les concepteurs de circuits intégrés analogiques et de circuits numériques custom travaillent sur des schémas, avec des

Figure 1.- Représentation de MCells



Les MCells sont intégrées au logiciel Laker et peuvent être exploitées avec d'autres technologies y compris le layout géré par schématique.