

INTEROPERABLE TOOLS FÜR EINE STEUERBARE DESIGNAUTOMATISIERUNG

Volle Kontrolle beim automatischen Chiplayout

Chipentwickler layouten große digitale ICs fast ausnahmslos mit hoch automatisierten Place-&-Route-Tools. Allerdings bleibt die Performance immer wieder hinter der zurück, die sie mit manueller Entflechtung und Platzierung der Schaltung erzielen könnten. Mit einem steuerbaren Full Custom IC Designflow lassen sich Performance, Geschwindigkeit und Platzbedarf optimieren.

RICH MORSE
MITCH HEINS

Die Vorteile des automatisierten Place & Route (APR), wie der schnellere Arbeitsfortschritt und die höhere Vertrauenswürdigkeit des Arbeitsergebnisses, machen den Nachteil der geringeren Performance wett. Trotzdem werden vor allem Designs, die das Maximum an Performance liefern oder auf der kleinstmöglichen Siliziumfläche Platz finden sollen, immer noch

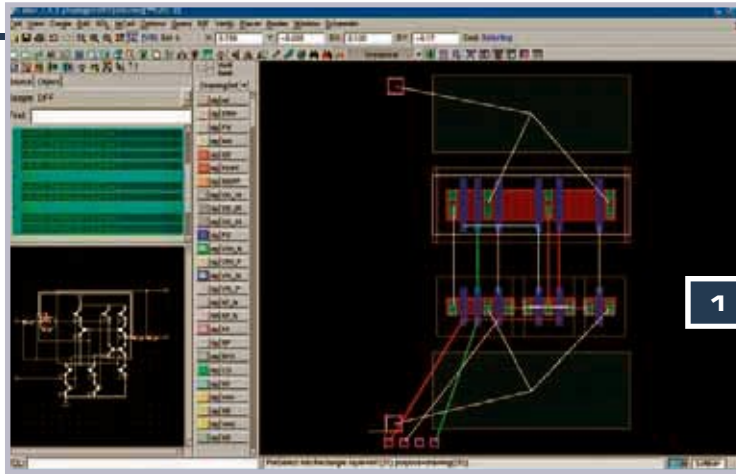
in Handarbeit mithilfe von Werkzeugen durchgeführt, die dem Entwickler die volle Kontrolle über den Layout-Prozess erlauben.

KONTAKT

SpringSoft, Inc.,
USA-San Jose, CA 95110,
Tel. 0044/1635/846-006,
Fax 0044/1635/846-420,
www.springsoft.com

Bei modernen kundenspezifischen ICs lassen es umfangreiche Designregeln, enge Zeitpläne und die schiere Größe und Komplexität der Schaltungen kaum noch zu, Designs aus digitalen Full-Custom-Blöcken aufzubauen. Vollautomatische APR Flows bieten nicht die dafür erforderliche interaktive Steuerung des Layout- und Routing-Prozesses. Designer benötigen daher einen hoch automatisierten, aber trotzdem steuerbaren Full Custom IC Designflow, der Performance, Geschwindigkeit und Platzbedarf optimiert.

Bild 1. Flight Lines zeigen die Signalverbindungen und unterstützen den Designer bei der Einhaltung der Designregeln beim manuellen Routen



Taktraten von über 2 GHz verbundenen hohen Anforderungen zu entsprechen. Auf diesem Performance-Niveau wirkt sich das Routing jedes individuellen Netzes auf die Umgebung und deren Interaktion mit anderen Signalbahnen, Netzen und sogar anderen Signallagen aus. Damit all diese Faktoren berücksichtigt werden können, muss das Designteam mit allen Elementen der Entwurfsumgebung interagieren können. Auf Basis der Flight Lines (kürzest mögliche Verbindung zwischen zwei Punkten, **Bild 1**), die aus den aus dem Stromlaufplan automatisch übernommenen Signalverbindungen erzeugt werden, kann das Designteam die für das Timing kritischen Netze manuell entflechten, extrahieren und evaluieren und anschließend solange modifizieren, bis die gewünschten Werte eingehalten werden.

Das Beispiel eines Designteam eines großen Fabless-Halbleiterunternehmens, das Produkte für den Volumenmarkt anbietet, zeigt, wie man die Interoperabilität standardkonformer Werkzeuge für sich nutzen kann, um die Vorteile des manuellen Layouts auch bei einem großen 40-nm-Design zu gewährleisten, bei dem es auf die Performance ankommt. Das Team hat sich dabei auf die Ergebnisse der Open-Access-Initiative (OA) der Standardisierungsorganisation Silicon Integration Initiative (Si2) gestützt und darauf aufbauend aus den Werkzeugen verschiedener Anbieter einen produktiveren Custom IC Layout Flow zusammengestellt.

Die Vorteile eines steuerbaren Automatismus beim Custom Design

Das Designteam des Halbleiterunternehmens ist seit Jahren mit Werkzeugen für das Custom IC Layout von analogen und kundenspezifischen digitalen Designs vertraut. Erst jüngst hat es einige Speicherlösungen für den Volumenmarkt mit diesen Tools realisiert. Während Analogdesigner aber in fast allen Fällen Custom-Design-Methoden einsetzen, greift das Team

beim Layout und Entflechten von digitalen Schaltungen üblicherweise nur dann auf diese zurück, wenn die Anforderungen an die Performance, die Leistungsaufnahme oder den Platzbedarf mit APR-Tools nicht eingehalten werden können.

In diesem Fall bedienen sich die Ingenieure seit Neuestem steuerbarer Automatismen, mit denen sie ebenso gute Performance und Taktzeit erzielen können wie im traditionellen Custom Design – nur in wesentlich kürzerer Zeit und mit geringerem Aufwand. Zu den dabei eingesetzten Tools gehören ein fortschrittlicher SDL (Schematic-Driven Layout) Flow, der auf umfassend konfigurierbarer, prozessunabhängiger parametrisierter Zelltechnologie fußt, und ein Floor Planning Tool, das auf Komponentenebene arbeitet. Sie bieten die erforderliche Produktivität und die Eingriffsmöglichkeiten, um die geforderte Performance und Dichte zu erreichen, ohne dass dazu Änderungen am Designstil oder Kompromisse bei der Qualität der Ergebnisse nötig sind.

Die Ingenieure verwenden dabei den im Layouttool integrierten regelgesteuerten interaktiven Router, um kritische Netze per Hand zu verdrahten und so den mit

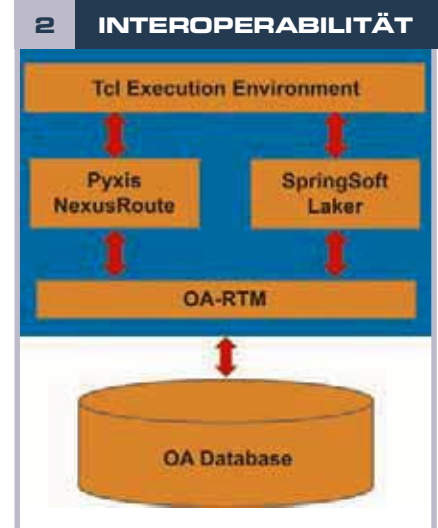


Bild 2. Dank OA-RTM ließ sich ein High-Performance Custom Router von Pyxis Technology in die auf OA aufsetzende SpringSoft-Laker-Custom-Layout-Umgebung einbinden

WISSENSWERT

Benchmark. Der gewählte Benchmark umfasste einen kritischen Hochleistungsblock, der vor der Umstellung innerhalb von sechs Wochen in einen akzeptablen Status gebracht werden konnte. Dabei stand die geforderte Performance im Widerspruch zur zulässigen Siliziumfläche und der gewünschten Leistungsaufnahme, was einen erfolgreichen Abschluss des Designs sehr erschwerte. Für den Benchmark wurden alle vorhandenen oder zuvor gerouteten Verbindungen entfernt. Das Design wurde dann im Layout Editor geöffnet und der komplette Block innerhalb weniger Minuten automatisch geroutet. Um den Standardflow nachzuempfinden, wurden schnell zusätzliche Versionen generiert, bei denen einige der kritischen Netze manuell mithilfe des Layout Editors und die restlichen

Netze unter Verwendung des automatischen Routers geroutet wurden. Der Auto-Router hat dabei weder kritische Netze verändert, noch konnten DRC-Verletzungen aufgedeckt werden.

Nach dieser einleitenden Überprüfung der Tragfähigkeit des Konzepts hat das Designteam mit konsistenten Ergebnissen wiederholt belegt, dass große digitale Custom-Hochleistungsblöcke, die sonst üblicherweise nur innerhalb von drei bis sechs Wochen komplettiert werden können, mit dem neuen Flow in weniger als einer Woche realisiert werden können. Das heißt, dass das Team mehr Zeit auf die Optimierung der Performance, des Platzbedarfs und der Leistungsaufnahme von Custom-Blöcken verwenden und so den Nutzen seiner Produkte nochmals steigern konnte.

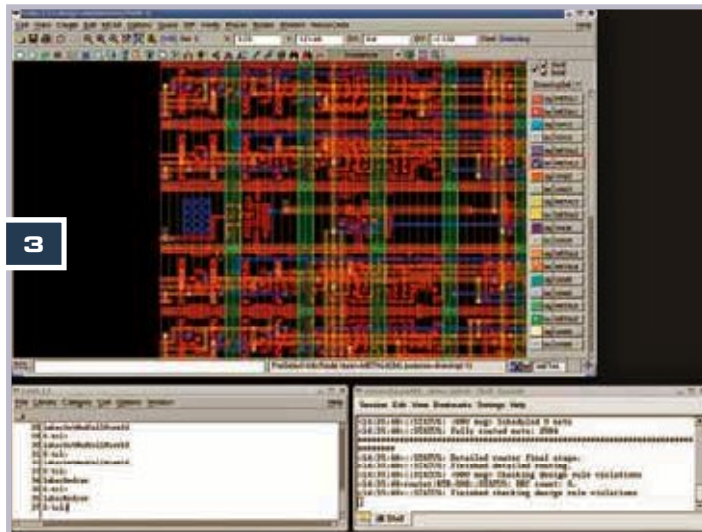


Bild 3.
Der Router erkennt und umgeht Blockierungen

Die Herausforderung: Custom Digital Design bei 40 nm

Auch wenn es den Ingenieuren mithilfe von Custom Layout und Handverdrahtung früher immer wieder gelungen ist, die Performance-Anforderungen zu erfüllen, wurde es mit jeder neuen Designgeneration schwieriger, die digitalen Blöcke in einer vertretbaren Zeit individuell anzupassen. Mit immer umfangreicheren und komplexeren Entwürfen stießen die Layout-Designer auf immer ernstere Routing-Probleme. Um diese zu lösen, mussten sie Bereiche des Layouts ausschließlich für das Routing reservieren. Diese freigehaltenen Flächen ermöglichten zwar einerseits das manuelle Routen oder das automatisierte Routen einzelner Punkt-zu-Punkt-Verbindungen innerhalb der ständig größer werdenden Blöcke. Andererseits verschlechterten sie aber die Designdichte und vergrößerten die benötigte Siliziumfläche. Höhere Leistung bedeutete oft also auch einen höheren Platzbedarf. Das war aber in Anbetracht des Zielmarkts des Unternehmens alles andere als optimal. Die für den Abschluss eines Entwurfs benötigte Zeit schloss zudem aus, mehr als eine Layoutvariante durchzuspielen.

Der Performance-bedingte Wechsel zu einem 40-nm-Prozess verschärfte die Situation, da zu den bestehenden Herausforderungen weitere hinzukamen. Die bei dieser Technologie üblicherweise verwendeten Blöcke sind so umfangreich (zu viele Netze) und die Designregeln so vielfältig, dass sie sich nicht mehr mit der Hand routen lassen und vorhandene automatisierte Custom-Routing-Lösungen überfordern. Es gab keinen Custom Router, der Designs dieser Größe bewältigen und

die für den Einsatz moderner Fertigungsprozesse nötigen Design- und Fertigungsregeln berücksichtigen konnte.

Zunächst versuchte das Team das Problem mit einem hybriden Flow zu lösen. Dabei griffen die Mitarbeiter für das manuelle Routen der kritischen Netze auf den bis dato verwendeten Layout Editor zurück. Die nicht kritischen Netze wurden dagegen dem automatischen Router aus dem APR-Flow des Unternehmens zur Bearbeitung übergeben, der fortschrittliche DRC-Regeln unterstützt. Allerdings erwies sich das Hin- und Herwechseln zwischen mehreren Tool Sets als kontraproduktiv. Unabhängig davon, wie effektiv die individuelle Operation auch war, die beiden Domänen – Custom und Nicht-Custom – harmonisierten nicht gut.

Zudem war dieses Vorgehen nicht interaktiv und führte dazu, dass dem Team ein Teil der Informationen bezüglich

Hierarchie und Konnektivität nicht mehr zugänglich war. Nicht immer, aber im überwiegenden Teil der Fälle veränderte der Auto-Router zudem die zuvor bereits sorgfältig gerouteten kritischen Netze und zog so erhebliche Handarbeit oder einen weiteren Routerdurchgang oder sogar beides nach sich. In der Folge verwendete das Designteam sechs Wochen darauf, das Design auf einen akzeptablen, wenn auch suboptimalen Stand zu bringen.

Hätte es genügend Eingriffsmöglichkeiten zur Steuerung des Routers gegeben, hätte ein automatisches Routen einen Produktivitätsgewinn bedeutet, selbst wenn sich dieser nur auf die nicht kritischen Netze beschränkt hätte. Es gab aber keinen Weg, dem System die zum Teil bereits gerouteten Leiterbahnen und die ausgeklügelten Abstandsregeln bekannt zu geben, die dann die APR-Tools hätten steuern können. Dies führte zu unerwünschten parasitären Wechselwirkungen innerhalb der Custom-Blöcke, die ein arbeitsaufwändiges Überarbeiten des Layouts und mehrere zeitaufwändige Durchläufe erzwangen.

Während eine Automatisierung in der Regel die Produktivität erhöht, führte sie im beschriebenen Fall zu einem erhöhten Zeitbedarf, da die Designer den Prozess nicht steuern konnten. Das manuelle Nachbearbeiten kritischer Netze nach einem automatischen Routen des kompletten Layouts kann unter dem Strich sogar mehr Zeit in Anspruch nehmen, als wenn das Routen für das ganze Design von Haus aus manuell durchgeführt worden wäre. Das Team schloss daraus, dass sich optimale Ergebnisse bei gleichzeitig reduziertem Zeitaufwand nur mit einer heterogenen Umgebung erzielen lassen würden, vorausgesetzt, diese verfügt über steuerbare Automatismen, mit denen Hierarchie, Konnektivität und Designintegrität beibehalten werden können.

FAZIT

Standardisierung umgesetzt. Das Designteam eines Fabless-Halbleiterunternehmens hat aus den Werkzeugen verschiedener Anbieter einen produktiven Custom IC Layout Flow zusammengestellt. Die Grundlage dafür waren Resultate der Open-Access-Initiative (OA) der Standardisierungsorganisation Silicon Integration Initiative (Si2), welche die Interoperabilität der Designtools sicherstellen. Diese Werkzeuge bieten die Vorteile manueller Layouts auch für große 40-nm-Designs, bei denen es auf die Performance ankommt.

In der Interoperabilität liegt die Lösung

Die Standardisierungsorganisation Silicon Integration Initiative (Si2) hat unter der Bezeichnung OpenAccess (OA) eine Datenbank für den Datenaustausch zwischen EDA-Werkzeugen zur Verfügung gestellt, die sich als Standard im Custom Design etabliert hat. Ein weniger bekanntes Feature von OA ist das OA Run Time Model (OA-RTM), das in Verbindung mit OA als In-Memory-Modell für EDA-Werkzeuge dienen kann. Das heißt, dass gänzlich unterschiedliche Tools parallel



Bild 4.
Interaktive
Umgebung
mit Unter-
stützung
von „Wenn-
dann“-
Analysen

auf dieselbe In-Memory-Repräsentation der Designdaten zugreifen können. Mit anderen Worten: Werkzeuge unterschiedlicher Hersteller, die OA-RTM unterstützen, können auf diese Weise so nahtlos zusammenarbeiten, wie man dies sonst nur von Tools eines Herstellers untereinander kennt.

Das Designteam nutzte diese Möglichkeiten von OA-RTM, um einen neuen High-Performance Custom Router von Pyxis Technology in die auf OA aufsetzende SpringSoft-Laker-Custom-Layout-Umgebung des Unternehmens einzubinden (Bild 2). Dieser Custom Digital Router, der selbst größte Designs bewältigt, hat in der Praxis bewiesen, dass er für Designs mit Strukturgrößen von 45 nm und darunter Routing-Ergebnisse liefert, die die Designregeln einhalten und Fertigungsbelange berücksichtigen. Er ist in der Lage, alle Hierarchieebenen zu routen und arbeitet dabei inkrementell; er behält also die bereits manuell erstellten kritischen Netze unverändert bei. Designer können im Rahmen des Custom-IC-Layout-Systems Bereiche des Chips auswählen und alle in diesem Fenster liegenden Netze vom integrierten Router routen lassen. Gateways, die einen bestimmten Routing-Kanal zwingend benötigen, werden vom Router ebenso ohne Datenumwandlung oder Abspeichern der Daten auf der Festplatte erkannt wie Blockierungen, Änderungen oder fixierte und bestehende Signalbahnen (Bild 3).

Mithilfe dieser Lösung aus nahtlos zusammenarbeitenden Werkzeugen kann das Designteam Layouts nunmehr weiterhin unter Verwendung des SDL-basierten automatisierten Custom-IC-Layout-Systems erstellen. Das Routen auf Transistorebene wird ebenso mit dem Layout-Tool durchgeführt wie das der kritischen Netze. Alternativ kann der Layout Editor Pre-Wires festlegen, die Routen für kritische Netze definieren. Das Routen erfolgt

in mehreren Phasen. In der ersten Phase werden die kritischen Netze geroutet, anschließend – der Reihe nach – die zu (hierarchisch) priorisierten Gruppen zusammengefassten Netze oder komplette Blöcke. Hierfür werden nur wenige Minuten benötigt.

Das Designteam profitiert auch von den integrierten Extraktions- und Timing-Engines des Custom Routers, da es mit ihnen die parasitären Wechselwirkungen und das Timing abschätzen kann. Auf diese Weise können Ingenieure beispielsweise ermitteln, ob die Routing-Topologie die angestrebten Ziele erfüllt, damit das Layout keinen unnötigen Aufwand betreiben muss. Positiv ist auch, dass es die hohe Verarbeitungsgeschwindigkeit und die ausgeprägte Steuerbarkeit dieses Custom Flows erlauben, die Platzierung von Layoutelementen schnell zu evaluieren und so die Qualität des Endergebnisses weiter zu steigern. Der Router kann auch 'Dummy Fill' einfügen (zusätzliche Metallflächen, die in das Layout eingefügt werden, um die Datendichte anzuheben, was der Prozesshomogenität und Planarität zugute kommt), um Bemühungen zur Lokalisierung von potenziell zerstörerischen parasitären Effekten zu unterstützen und zu vermeiden, dass die Foundry selbst Dummy-Fill-Flächen einfügt, die dann möglicherweise zu unerwarteten Problemen führen.

Durch die Kombination dieser Funktionen mit einem hoch automatisierten Custom-Layout-System hat das Designteam in Zusammenarbeit mit seinen Werkzeuglieferanten eine Lösung kreiert, die eine schnelle, iterative ‚Wenn-dann‘-Analyse für eine gleichzeitige Optimierung von Layout und Routing erlaubt (Bild 4). Die Möglichkeit, das Routen, die Extraktion, die Analyse des Timings, die Modifikation und die Verifikationen interaktiv ausführen zu können, erlauben es den Ingenieuren, Sicherheitszuschläge zu redu-

zieren und so höhere Performance-Ziele zu erreichen und gleichzeitig die Leistungsaufnahme und den Platzbedarf zu senken – und das alles in einem Zeitraum, der vor der Umstellung nicht einmal für die Implementierung eines einzigen Layouts ausreichend war. (ml)



DIE AUTOREN

RICH MORSE ist Technical Marketing und EDA Alliances Manager für die Laker-Custom-IC-Design-Produkte bei SpringSoft.

MITCH HEINS ist Vice President of Applications bei Pyxis Technology.

www.EL-info.de

295501

ONLINE-SERVICE



Neu in der
Leser-Lounge

CHIPDESIGN

■ Neuer Schwung für die Halbleiterindustrie



Seit etwa einer Dekade hat die Halbleiterindustrie ein Problem: Neue ASIC/ASSP-Designstarts haben gezeigt, dass man eine Möglichkeit finden muss, die Entwicklungsproduktivität langfristig deutlich zu erhöhen. Die Verlagerung der Forschung und Entwicklung in kostengünstigere Regionen und ein besseres Projektmanagement können dies aber allein nicht schaffen. Eine neue Abstraktionsebene im Chipdesign verspricht – nach Ansicht des EDA-Anbieters **Cadence** – nun die Lösung: das Transaction Level Modeling.

■ Webcode: 295801

www.EL-info.de

USV: Eine saubere Sache

Unterbrechungsfreie Stromversorgung
mit Brennstoffzellen 60

Damit Windräder richtig rund laufen

Zustandsüberwachung von Windparks
mit CompactRIO 64

Wieder am falschen Ende gespart?

Auswahlleitfaden für Low-Power-
Prozessoren 68

Aktuelle Produkte 55, 58, 62, 66, 72

ONLINE-THEMEN
**■ Spitzenleistungen der
angewandten Halbleiterforschung**

In der zweiten Dezemberwoche findet in Baltimore/USA das IEEE International Electron Devices Meeting (IEDM) statt. Unser Korrespondent hat schon jetzt einige der Highlights für Sie in Erfahrung gebracht. 16

Dank Standardisierung lassen sich aus Tools verschiedener Anbieter maßgeschneiderte, produktive Designflows zusammenstellen. Die Vorteile manuellen Layouts sind damit auch für große Chiplayouts nutzbar.


**■ Neuer Schwung für die
Halbleiterindustrie**

Die Halbleiterhersteller haben ein Produktivitätsproblem. Aus Sicht des EDA-Anbieters Cadence liegt die Lösung in einer neuen Abstraktionsebene beim Chipentwurf: dem Transaction Level Modeling. 45

**■ Aktuelles Whitepaper:
Analog MUX**

Tektronix bietet eine Möglichkeit, elektrische Signale digital und analog zu analysieren – mit nur einer Spannungssonde. 58



Trusted ePlatform Services

ADVANTECH

Timing. Eingebaut.

Rutronik und Advantech

Das PCM-9361 ist ein 3,5" Single Board Computer von Advantech welcher in vier verschiedenen Varianten verfügbar ist. Zu diesem Board ist eine einzigartige Softwareumgebung erhältlich die Ihnen bei der Softwareentwicklung Zeit und Geld spart.

- Intel Atom N270 1.6GHz Prozessor
- DDR2 SODIMM bis zu 2 GB
- 18-bit LCD Unterstützung
- 2-Channel LVDS 36-bit/48-bit
- Gigabit LAN
- HD Audio Codec
- PCI-104 Erweiterung


RUTRONIK
EUROPE

Consult | Components | Logistics | Support

Tel: +49(0) 7231 801 266

www.rutronik.com